

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SANG-TAE AHN, ET AL.

Application No.:

Filed:

For: **Method For Forming Flowable
Dielectric Layer In Semiconductor
Device**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2003-051127	24 July 2003

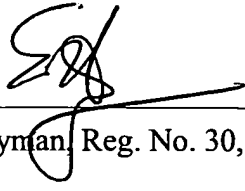
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/19/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0051127
Application Number

출원년월일 : 2003년 07월 24일
Date of Application JUL 24, 2003

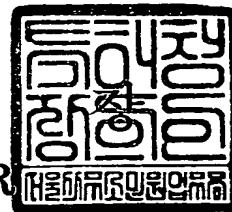
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.07.24
【발명의 명칭】	갭필을 위한 유동성 절연막을 구비하는 반도체 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE WITH FLOWABLE DIELECTRIC FOR GAPFILLING
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	안상태
【성명의 영문표기】	AHN, Sang Tae
【주민등록번호】	710818-1782835
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 101-605
【국적】	KR
【발명자】	
【성명의 국문표기】	신동선
【성명의 영문표기】	SHEEN, Dong Sun
【주민등록번호】	670710-1042115
【우편번호】	449-845
【주소】	경기도 용인시 수지읍 죽전2동 현암마을동성2차아파트 206-1208
【국적】	KR

【발명자】**【성명의 국문표기】**

송석표

【성명의 영문표기】

SONG, Seok Pyo

【주민등록번호】

720505-1075010

【우편번호】

151-050

【주소】

서울특별시 관악구 봉천동 1001번지 관악현대아파트 119-307

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】**【기본출원료】**

18 면 29,000 원

【가산출원료】

0 면 0 원

【우선권주장료】

0 건 0 원

【심사청구료】

4 항 237,000 원

【합계】

266,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 유동성 절연막을 이용하여 고단차의 패턴 사이를 공극없이 갭필하면서 유동성 절연막이 가지는 미세 공극으로 인해 초래되는 누설전류 경로를 제거하는데 적합한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체 소자의 제조 방법은 반도체 기판 상부에 높은 단차의 좁은 간격을 갖는 다수의 패턴을 형성하는 단계, 상기 다수의 패턴 사이의 간격을 갭필하기 위해 유동성 절연막을 증착하는 단계, 상기 유동성 절연막 내부의 수분 제거 및 막질 치밀화를 위한 열처리 단계, 상기 유동성 절연막을 선택적으로 식각하여 상기 다수의 패턴 사이의 상기 반도체 기판 표면을 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀의 측벽에 상기 유동성 절연막내에 존재하는 공극의 확장을 방지하기 위한 공극확장방지막을 형성하는 단계, 상기 콘택홀 형성시 노출된 상기 반도체 기판 표면을 세정하는 단계, 및 상기 콘택홀 내부에 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계를 포함한다.

【대표도】

도 4d

【색인어】

유동성 절연막, 공극, 열처리, 치밀화, 전세정, 마이크로포어

【명세서】

【발명의 명칭】

갭필을 위한 유동성 절연막을 구비하는 반도체 소자의 제조 방법{METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE WITH FLOWABLE DIELECTRIC FOR GAPFILLING}

【도면의 간단한 설명】

도 1은 종래 기술에 따른 반도체 소자의 콘택을 도시한 도면,

도 2a 내지 도 2c는 도 1의 A-A'선에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 3a는 종래 기술의 미세 공극을 가진 유동성 절연막을 촬영한 사진,

도 3b는 미세 공극 내부로 채워진 폴리실리콘막을 촬영한 사진,

도 4a 내지 도 4d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도.

* 도면의 주요 부분에 대한 부호의 설명

20 : 반도체 기판

22 : 필드영역

23 : 게이트

24 : 게이트스페이서

25 : 유동성 절연막

26 : 공극확장방지막

27a, 27b : 콘택플러그

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 패턴 사이를 공극없이 채울 수 있는 유동성 절연막을 이용한 반도체 소자의 제조 방법에 관한 것이다.
- <12> 반도체 소자의 고집적화에 따라, 고단차의 좁은 간격의 패턴 사이를 내부 공극(void) 없이 절연막으로 채우는 갭필(gapfill) 기술이 반도체 소자 제조에 중요한 기술중에 하나로 대두되고 있다. 특히, 게이트 형성후 증착되는 절연막의 경우 높은 열공정이 적용될 경우 이미 형성된 트랜지스터의 도펀트들의 확산에 의해 소자특성을 저하시키는 원인이 되고, 더욱이 메탈 게이트를 적용할 경우 과도한 스트레스를 유발시키는 원인으로 작용하는 문제가 있다.
- <13> 일반적으로 갭필 공정시 사용하고 있는 BPSG(Boro Phospho Silicate Glass)의 경우는 갭필특성은 우수하지만 후속 고온 열처리 공정을 통해 리플로우(Reflow)시켜야 하므로 고온 열처리 공정에 따라 도펀트가 확산하는 문제점을 여전히 갖고 있다.
- <14> 그리고, 고밀도플라즈마(High Density Plasma) 방법을 이용하여 좁은 패턴 사이를 갭필하고 화학적기계적연마(Chemical Mechanical Polishing) 공정으로 연마하여 평탄화시키는 방법이 있으나, 이 기술또한 패턴 매립 특성의 한계, 플라즈마로 인한 하부층의 식각손실, 패턴 모서리가 깎이는 문제점(증착과 스퍼터식각이 반복되는 고밀도플라즈마 방법의 고유 특성에 따른 문제점) 등으로 인해 갭필 공정 적용에는 한계가 있다.
- <15> 따라서, 최근에는 저온 절연막 공정으로 좁은 간격의 패턴 사이를 내부 공극 없이 갭필하는 유동성 절연막(Flowable Dielectric) 기술이 제안되었다.

- <16> 도 1은 종래 기술에 따른 반도체 소자의 콘택을 도시한 도면으로서, 활성영역(11)과 필드영역(12)이 정의된 반도체 기판(10) 상부에 다수의 게이트(13)가 일방향으로 좁은 간격을 갖고 뻗어 있으며, 게이트(13) 사이의 좁은 간격에 활성영역을 노출시키는 콘택플러그를 위한 콘택홀(CT1, CT2)이 형성되어 있다. 이 콘택홀(CT1, CT2)은 미도시된 층간절연막을 식각하여 형성한 것으로, 여기에 CT1에 스토리지노드가 콘택되는 콘택플러그가 형성되고, CT2에 비트라인과 콘택되는 콘택플러그가 형성되는 것이다.
- <17> 도 2a 내지 도 2c는 도 1의 A-A'선에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다.
- <18> 도 2a에 도시된 바와 같이, 필드영역(12)을 형성하여 활성영역(11)이 정의되는 반도체 기판(10) 상부에 좁은 간격을 갖는 라인 형태의 게이트(13)를 다수 형성하고, 게이트(13)의 양 측벽에 스페이서(14)를 형성한다.
- <19> 다음으로, 게이트(13) 사이의 좁은 간격을 갭필하도록 층간절연막으로서 유동성 절연막(15)을 증착한다. 그리고, 유동성 절연막(15) 내에 존재하는 수분을 제거함과 동시에 유동성 절연막(15)의 막질을 치밀화시키기 위해 열처리 공정을 실시한다.
- <20> 도 2b에 도시된 바와 같이, 콘택홀을 형성하기 전에 화학적기계적연마 공정을 도입하여 유동성 절연막(15)을 게이트(13) 표면이 드러날때까지 평탄화시킨다.
- <21> 그리고 나서, 평탄화된 유동성 절연막(15) 상에 콘택을 정의하는 콘택마스크(도시 생략)를 형성하고, 콘택마스크를 식각마스크로 유동성 절연막(15)을 게이트(13) 사이의 활성영역(11) 표면이 드러나도록 식각하여 콘택홀(CT1, CT2)을 형성한다. 후속 공정으로, 콘택홀(CT1, CT2)의 오픈 면적을 확보하기 위해서 세정 공정을 실시한다.

- <22> 도 2c에 도시된 바와 같이, 폴리실리콘막 증착전에 자연산화막 또는 콘택홀 형성시 발생된 반도체 기판(10) 표면의 식각손실을 제거하기 위한 전세정 공정을 실시한 후, 콘택홀(CT1, CT2)을 포함한 전면에 폴리실리콘막을 증착한 후 에치백 또는 화학적기계적연마 공정을 진행하여 콘택홀에 매립되는 콘택플러그(16a, 16b)를 형성한다.
- <23> 전술한 바와 같은 종래 기술에서는 유동성절연막(15)을 형성하기 위한 방법으로 SiH_4 , H_2O_2 및 H_2O 반응소스를 이용하여 $-10^\circ\text{C} \sim 100^\circ\text{C}$ 사이의 저온에서 게이트(13) 사이를 갭필하는 저온 언도우프드 충전절연막을 형성하는 방법과 실리케이트(Silicate), 실옥산(Siloxane), MSQ(MethylSilsesQuioxane), HSQ(HydrogenSilsesQuioxane), MSQ/HSQ, TCPS(perhydrosilazane), 폴리실라잔(plysilazane) 등의 케미컬을 이용한 스핀 방식으로 코팅하는 SOD(Spin On Dielectric) 방법을 이용한다.
- <24> 위와 같은 유동성 절연막(15)을 이용하면 고단차의 좁은 간격을 갖는 게이트 사이를 궁극없이 갭필할 수 있는 장점이 있으나, 후속 열공정에서 큰 부피 수축을 동반하기 때문에 좁은 간격의 게이트(13) 사이에 채워진 유동성 절연막(15)이 충분히 치밀화되지 않는 단점이 있다. 즉, 도 2c에 도시된 바와 같이, 콘택플러그(16a, 16b)간을 분리시키는 유동성 절연막(15) 내부에 미세한 공극이 다수 존재하게 되고, 이 공극에 콘택플러그(16a, 16b)를 형성하기 위해 증착된 폴리실리콘막(17)이 침투한다.
- <25> 도 3a은 종래 기술의 미세 공극을 가진 유동성 절연막을 촬영한 사진이고, 도 3b는 미세 공극 내부로 채워진 폴리실리콘막을 촬영한 사진이다.
- <26> 도 3a에 도시된 바와 같이, 게이트 사이에 채워진 유동성 절연막(15)이 치밀화 열처리 공정시 부피 수축의 한계로 마이크로포어(micro-pore)로 표현되는 미세 공극이 형성됨을 알 수 있다.

- <27> 도 3b에 도시된 바와 같이, 미세한 공극이 형성된 상태에서 콘택홀 형성, 세정 공정 및 폴리실리콘막 증착 공정을 진행하면 공극 내부로 폴리실리콘막(17)이 침투하게 된다. 특히, 폴리실리콘막 증착전에 실시하는 세정 공정시에 미세한 공극이 확장되어 그 크기가 커지고, 이렇게 커진 공극으로 폴리실리콘막이 확산해들어가는 것이다. 따라서, 도 2c에 도시된 공극은 폴리실리콘막 증착전에 실시하는 전세정 공정시 확장된 공극이다.
- <28> 최근에 집적도가 증가하면서 콘택플러그간 분리를 위한 층간절연막의 두께가 얇아지고 있는 점을 감안하면, 공극에 채워지는 폴리실리콘막은 이웃하는 콘택플러그간에 누설전류 경로를 형성하는 문제를 초래한다.
- <29> 따라서, 종래 기술은 고단차의 패턴 사이를 공극없이 갭필할 수 있는 유동성 절연막을 이용하여 집적도가 높은 반도체 소자를 제조하는데 제약이 따른다.

【발명이 이루고자 하는 기술적 과제】

- <30> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 유동성 절연막을 이용하여 고단차의 패턴 사이를 공극없이 갭필하면서 유동성 절연막이 가지는 미세 공극으로 인해 초래되는 누설전류 경로를 제거하는데 적합한 반도체 소자의 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <31> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 제조 방법은 반도체 기판 상부에 높은 단차의 좁은 간격을 갖는 다수의 패턴을 형성하는 단계, 상기 다수의 패턴 사이의 간격을

갹필하기 위해 유동성 절연막을 증착하는 단계, 상기 유동성 절연막 내부의 수분 제거 및 막 질 치밀화를 위한 열처리 단계, 상기 유동성 절연막을 선택적으로 식각하여 상기 다수의 패턴 사이의 상기 반도체 기판 표면을 노출시키는 콘택홀을 형성하는 단계, 상기 콘택홀의 측벽에 상기 유동성 절연막내에 존재하는 공극의 확장을 방지하기 위한 공극확장방지막을 형성하는 단계, 상기 콘택홀 형성시 노출된 상기 반도체 기판 표면을 세정하는 단계, 및 상기 콘택홀 내부에 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 공극확장방지막은 상기 콘택홀을 포함한 전면에 절연막을 증착하는 단계, 및 건식식각을 통해 상기 콘택홀의 측벽에 상기 절연막을 스페이서 형태로 잔류시키는 단계를 포함하는 것을 특징으로 하고, 상기 공극확장방지막은 실리콘산화막, 실리콘질화막 또는 실리콘카바이드로 형성하는 것을 특징으로 한다.

<32> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<33> 도 4a 내지 도 4d는 본 발명의 실시예에 따른 반도체 소자의 제조 방법을 도시한 공정 단면도이다.

<34> 도 4a에 도시된 바와 같이, 필드영역(22)을 형성하여 활성영역(21)이 정의되는 반도체 기판(20) 상부에 좁은 간격을 갖는 라인 형태의 게이트(23)를 다수 형성하고, 게이트(23)의 양 측벽에 게이트스페이서(24)를 형성한다. 여기서, 알려진 바와 같이, 게이트(23) 하부에 게이트 산화막이 형성되며, 게이트(23)는 폴리실리콘막, 금속막 및 하드마스크의 순서로 적층된 구조

일 수 있다. 예컨대, 금속막은 텅스텐막이고, 하드마스크는 질화막일 수 있다. 그리고, 게이트 스페이서(24)는 실리콘질화막이다.

<35> 다음으로, 게이트(23) 사이의 좁은 간격을 갭필하도록 층간절연막으로서 유동성 절연막(25)을 증착한다. 이때, 유동성 절연막(25)은 실리케이트, 실옥산, MSQ, HSQ, MSQ/HSQ, TCPS, 폴리실라잔 등의 케미컬을 이용한 스핀 방식으로 코팅하는 SOD(Spin On Dielectric) 방법을 이용하여 형성하거나, 또는 저온 언도우프드 층간절연막으로 형성한다. 예컨대, 저온 언도우프드 층간절연막으로 형성하는 방법은 SiH_4 , $\text{SiH}_a(\text{CH}_3)_b$ ($0 \leq a \leq 4$, $0 \leq b \leq 4$), H_2O_2 , O_2 , H_2O 및 N_2O 반응소스를 이용하여 $-10^\circ\text{C} \sim 150^\circ\text{C}$ 사이의 저온과 10mtorr~100torr 사이의 압력하에서 형성한다. 위와 같은 유동성 절연막(25)의 두께는 게이트(23)의 높이 및 게이트(23) 사이의 간격에 의해 결정되는데, 바람직하게는 1000Å~20000Å 두께이다.

<36> 다음으로, 유동성 절연막(25) 내에 존재하는 수분을 제거함과 동시에 유동성 절연막(25)의 막질을 치밀화시키기 위해 열처리 공정을 실시한다. 이때, 열처리 공정은 $300^\circ\text{C} \sim 1000^\circ\text{C}$ 사이의 온도에서 로(Furnace) 열처리한다.

<37> 도 4b에 도시된 바와 같이, 콘택홀을 형성하기 전에 화학적기계적연마 공정을 도입하여 유동성 절연막(25)을 게이트(33) 표면이 드러날때까지 평탄화시킨다.

<38> 위와 같이 유동성 절연막(25)을 평탄화시키는 이유는, 후속 콘택홀(CT1, CT2) 형성시에 발생하는 기울기로 인해 콘택홀의 오픈 면적이 감소하기 때문에 콘택홀 형성전에 미리 화학적기계적연마 공정을 진행하여 콘택홀(CT1, CT2) 형성시 식각되어야하는 게이트(23) 위에 있는 유동성 절연막(25)의 높이를 낮춰 기울기를 갖는 콘택홀의 식각 깊이를 낮추는 것이다. 이로써 콘택홀 바닥의 오픈 면적이 증가한다.

- <39> 다음으로, 평탄화된 유동성 절연막(25) 상에 콘택을 정의하는 콘택마스크(도시 생략)를 형성하고, 콘택마스크를 식각마스크로 유동성 절연막(25)을 게이트(23) 사이의 활성영역(21) 표면이 드러나도록 식각하여 콘택홀(CT1, CT2)을 형성한다.
- <40> 비록 화학적기계적연마를 통해 콘택홀의 식각 깊이를 낮추었다고는 하나 콘택홀(CT1, CT2) 형성시에 기울기를 필연적으로 발생하고, 이 기울기로 인해 오픈 면적이 감소하기 때문에 후속 공정으로 콘택홀(CT1, CT2)의 오픈 면적을 확보하기 위해서 세정 공정을 실시한다. 이때, 세정 공정은 습식 또는 건식 세정 공정을 이용한다.
- <41> 도 4c에 도시된 바와 같이, 콘택홀(CT1, CT2)의 측벽에 공극확장방지막(26)을 20 Å ~ 300 Å 두께로 형성한다. 이때, 공극확장방지막(26)은 콘택홀(CT1, CT2)을 포함한 전면에 절연막을 증착한 후 건식 식각을 실시하여 형성하며, 공극확장방지막(26)은 콘택홀(CT1, CT2)의 측벽에만 형성되는 스페이서 형태이다. 여기서, 공극확장방지막(26)을 형성하기 위한 절연막으로는 실리콘질화막(silicon nitride), 실리콘산화막(silicon oxide) 또는 실리콘카바이드(Silicon carbide)를 이용한다.
- <42> 한편, 공극확장방지막(26) 형성후 폴리실리콘막 증착전에 드러나는 반도체 기판(21) 표면에는 자연산화막(native oxide)이 생성되고, 또한 건식식각시 이용된 플라즈마로 인해 표면에 결함(defect)이 발생한다. 이와 같은 자연산화막 또는 표면 결함을 제거하기 위해 폴리실리콘막 증착전 전세정(pre-cleaning) 공정을 진행한다. 이때, 전세정 공정은 건식법 또는 습식법을 이용한다.
- <43> 전술한 바와 같이 후속 폴리실리콘막 증착전에 실시하는 전세정 공정에 앞서 미리 공극확장방지막(26)을 형성하므로써 전세정 공정시 유동성 절연막(25)내 존재하는 미세한 공극이

확장되는 것을 방지한다. 즉, 공극확장방지막(26)이 전세정 공정시 가스 또는 용액이 유동성 절연막(25)으로 침투하는 것을 방지해준다.

<44> 도 4d에 도시된 바와 같이, 공극확장방지막(26)이 형성된 콘택홀(CT1, CT2)의 전면에 폴리실리콘막을 증착한 후 에치백 또는 화학적기계적연마 공정을 진행하여 콘택홀(CT1, CT2)에 매립되는 콘택플러그(27a, 27b)를 형성한다. 여기서, 콘택플러그(27a, 27b) 중에서 하나(27a)는 스토리지노드콘택이 연결될 스토리지노드 콘택플러그 역할을 하고, 다른 하나(27b)는 비트라인이 연결될 비트라인 콘택플러그 역할을 한다.

<45> 전술한 실시예에 따르면, 본 발명은 종래 기술과 동일하게 도 4a의 유동성 절연막(25) 내에 존재하는 수분을 제거함과 동시에 유동성 절연막(25)의 막질을 치밀화시키기 위해 열처리 공정을 실시한 후에, 유동성 절연막(25)내에 미세한 공극이 콘택플러그(27a, 27b) 형성전까지 잔류한다.

<46> 하지만, 본 발명은 콘택플러그(27a, 27b)를 형성하기 위한 폴리실리콘막 증착전에 미리 콘택홀(CT1, CT2)의 측벽에 공극확장방지막(26)을 스페이서 형태로 형성함으로써 폴리실리콘막 증착시 유동성 절연막(25) 내에 존재하는 미세한 공극으로 폴리실리콘막이 확산해들어가는 것을 방지한다. 특히, 공극확장방지막(26)을 폴리실리콘막 증착전에 실시하는 전세정 공정보다 앞서 미리 형성함으로써 전세정 공정시에 발생하는 유동성 절연막(25)내 공극의 확장을 방지하여 폴리실리콘막의 공극으로의 확산을 방지한다.

<47> 아울러, 본 발명은 유동성 절연막을 도입함으로써 얻는 효과를 구현한다. 예컨대, BPSG 보다 평탄화 특성이 우수한 유동성 절연막을 이용하여 고단차의 패턴 사이를 갭필하므로 단차 감소에 따른 노광 공정의 마진을 향상시키고, 저온 공정으로 유동성 절연막을 형성하므로 도펀트의 확산을 억제하여 집적도를 향상시킨다. 또

한, 치밀한 유동성 절연막을 형성하므로 후속 세정 공정의 마진 확보가 가능하고, 이에 따라 콘택저항 특성이 우수해지고, 결함 제거 능력이 증가된다.

<48> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<49> 상술한 본 발명은 콘택플러그 형성전에 실시하는 전세정 공정보다 앞서 미리 콘택홀의 측벽에 공극확장방지막을 형성하므로써, 전세정 공정시 유동성절연막 내에 존재하는 공극이 확장하는 것을 억제하여 콘택플러그간 브릿지를 방지할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상부에 높은 단차의 좁은 간격을 갖는 다수의 패턴을 형성하는 단계;

상기 다수의 패턴 사이의 간격을 갭필하기 위해 유동성 절연막을 증착하는 단계;

상기 유동성 절연막 내부의 수분 제거 및 막질 치밀화를 위한 열처리 단계;

상기 유동성 절연막을 선택적으로 식각하여 상기 다수의 패턴 사이의 상기 반도체 기판 표면을 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀의 측벽에 상기 유동성 절연막내에 존재하는 공극의 확장을 방지하기 위한 공극확장방지막을 형성하는 단계;

상기 콘택홀 형성시 노출된 상기 반도체 기판 표면을 세정하는 단계; 및

상기 콘택홀 내부에 상기 반도체 기판과 연결되는 콘택플러그를 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

【청구항 2】

제1항에 있어서,

상기 공극확장방지막은,

상기 콘택홀을 포함한 전면에 절연막을 증착하는 단계; 및

건식식각을 통해 상기 콘택홀의 측벽에 상기 절연막을 스페이서 형태로 잔류시키는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 3】

제1항 또는 제2항에 있어서,

상기 공극확장방지막은,

실리콘산화막, 실리콘질화막 또는 실리콘카바이드로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 4】

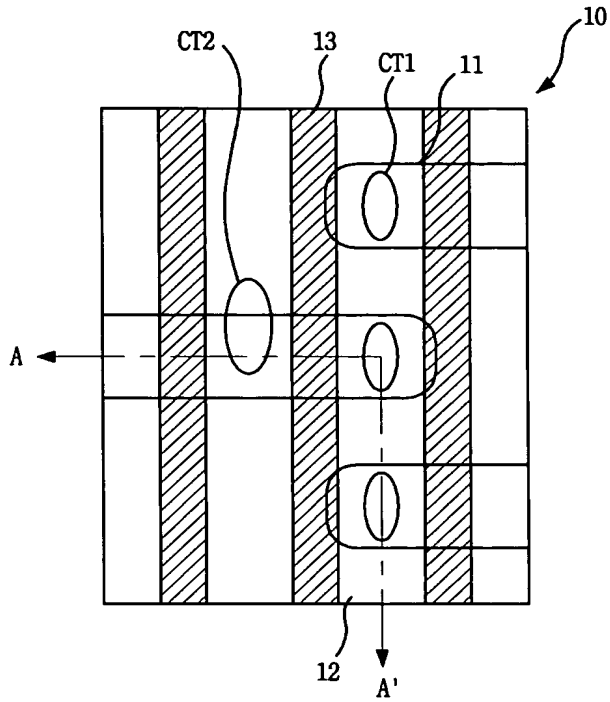
제1항 또는 제2항에 있어서,

상기 공극확장방지막은,

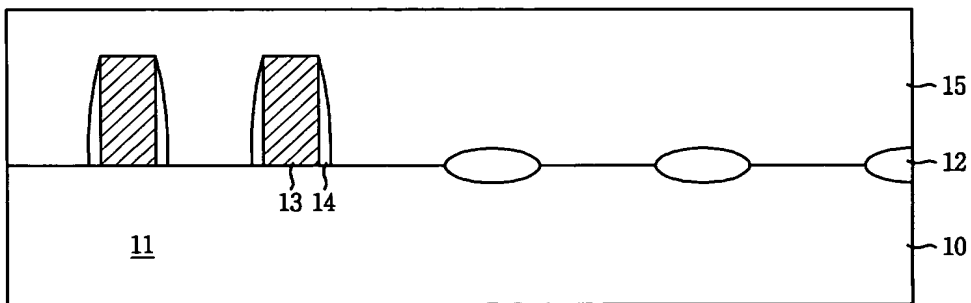
20Å ~ 300Å의 두께로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

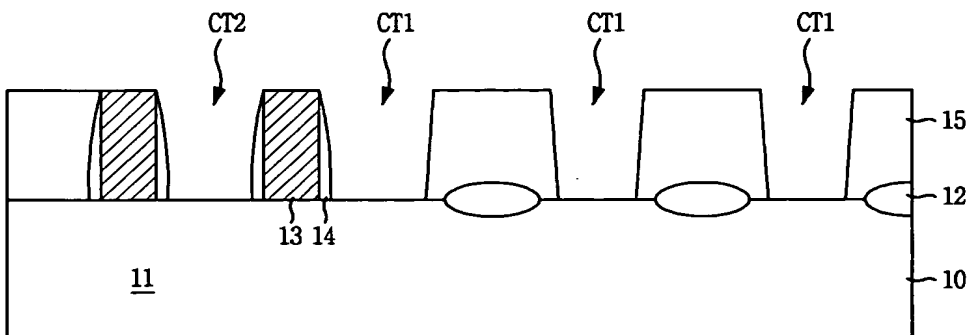
【도 1】



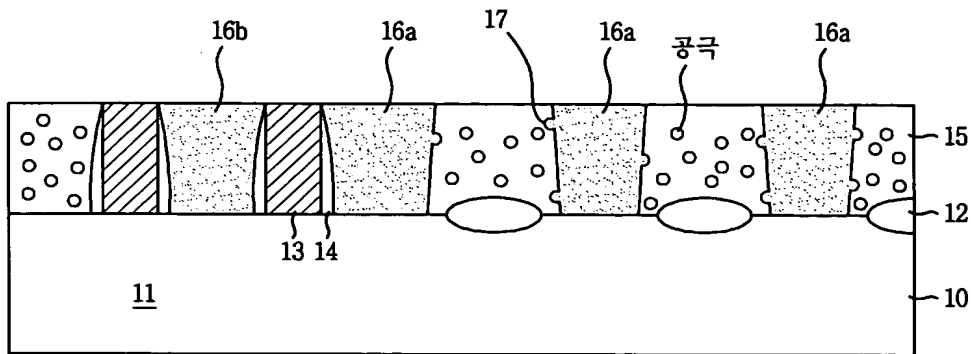
【도 2a】



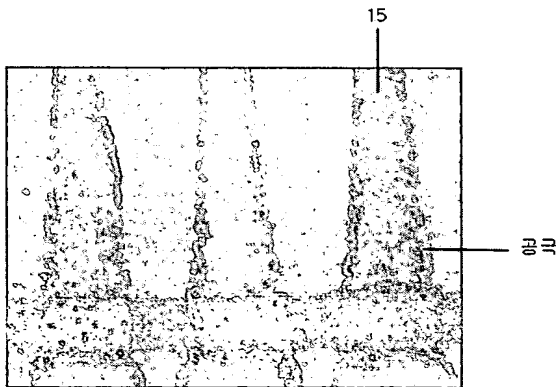
【도 2b】



【도 2c】

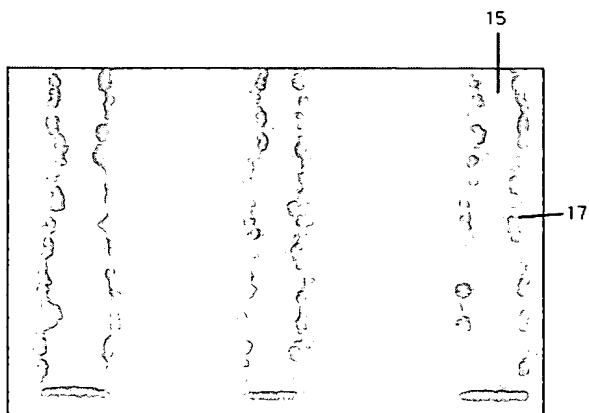


【도 3a】

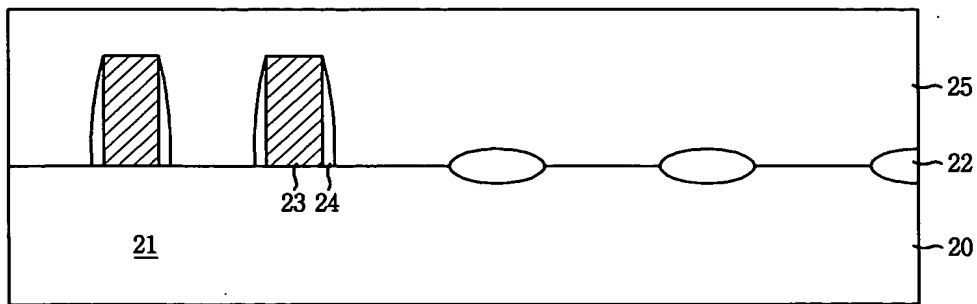


BEST AVAILABLE COPY

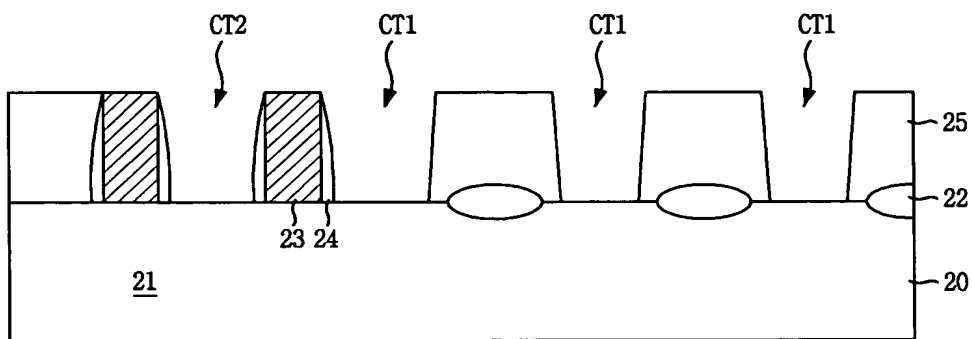
【도 3b】



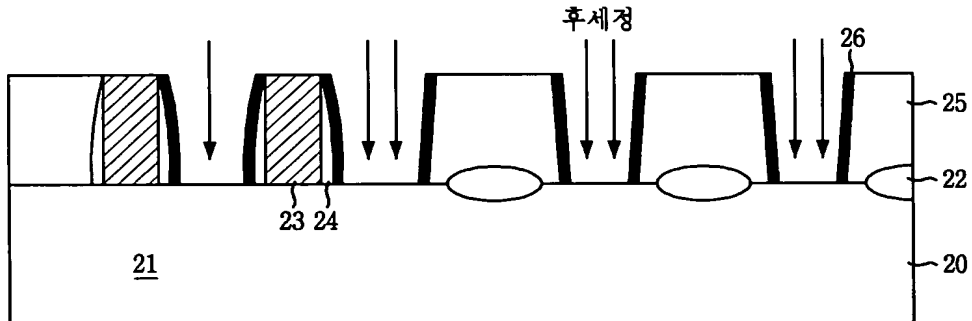
【도 4a】



【도 4b】



【도 4c】



【도 4d】

